

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-129849

(43)Date of publication of application : 16.05.1997

(51)Int.Cl.

H01L 27/108  
H01L 21/8242  
H01L 21/28  
H01L 21/768  
H01L 27/04  
H01L 21/822

(21)Application number : 08-001741

(71)Applicant : LG SEMICON CO LTD

(22)Date of filing : 09.01.1996

(72)Inventor : LEE CHANG-JAE  
ZEN YUSAN

(30)Priority

Priority number : 95 9535979

Priority date : 18.10.1995

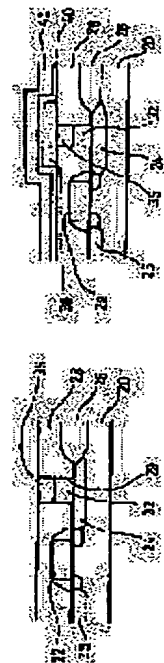
Priority country : KR

## (54) CAPACITOR OF SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce occurrence of miss-alignment that follows the reduction of a capacitor area by forming a TiN plug of a barrier layer in a connection hole of an insulation film, and forming, by coating, a capacitor first electrode on the TiN plug, for easier etching at formation of multiple-layer electrode.

SOLUTION: On a semiconductor substrate 20, an insulation film 28 containing a connection hole 29 is formed. Then, at a TiN plug 35 of the insulation film 28 and in the TiN plug 35 and a connection hole 29 of the insulation film 28, a plug 32 of thickness thinner than the insulation film 28 is formed. Then, on a barrier layer 28 formed on the upper surface of the plug 32 in the connection hole 29, a capacitor first electrode 36 is formed. Then, on the capacitor first electrode 36, a dielectric body layer 40 is formed, and on the dielectric body layer 40, a capacitor second electrode 42 is formed. At this time, since in the capacitor, the capacitor first electrode is formed easily by etching with a thin film of Pt, the formation process of an electrode is very easily performed.



## LEGAL STATUS

[Date of request for examination]

09.01.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号 ✓

特開平9-129849

(43) 公開日 平成9年(1997)5月16日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 2 1 C
21/8242			21/28	3 0 1 C
21/28	3 0 1		21/90	C
21/768			27/04	C
27/04			27/10	6 5 1
審査請求 有 請求項の数14 O L (全 6 頁) 最終頁に続く				

(21) 出願番号 特願平8-1741

(22) 出願日 平成8年(1996)1月9日

(31) 優先権主張番号 9 5 P 3 5 9 7 9

(32) 優先日 1995年10月18日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591050992

エル・ジー・セミコン・カンパニー・リミ  
テッド大韓民国忠清北道清州市興徳区香亭洞1番  
地

(72) 発明者 李 昌宰

大韓民国忠清北道清州市上堂區龍岩洞59三  
逸アパート103-1408

(72) 発明者 全 裕燦

大韓民国ソウル特別市瑞草區方背4洞833  
-28

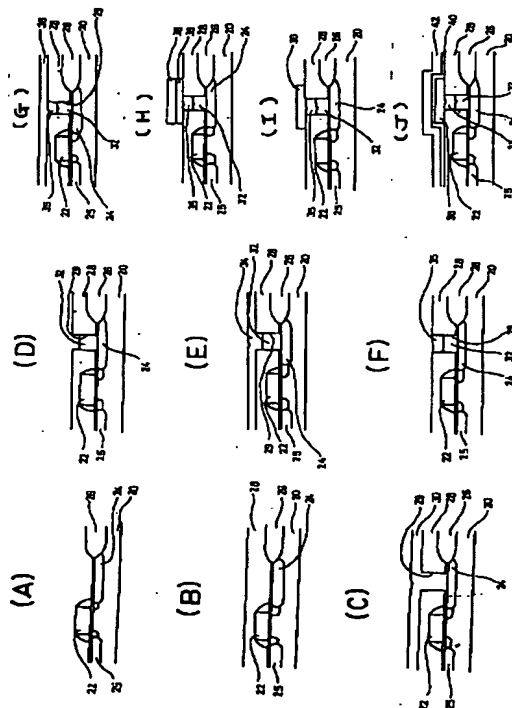
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体素子のキャパシター及びその製造方法

(57) 【要約】

【課題】本発明の目的は、プラグの表面酸化により性能の低下及び割れ現象を防止し得る半導体素子のキャパシター及びその製造方法を提供しようとする。

【解決手段】半導体基板上絶縁膜の接続ホール内にプラグ及び障壁層のT i Nプラグを順次形成し、該障壁層のT i Nプラグ上にキャパシター電極を被覆する半導体素子のキャパシター及びその製造方法が提供されている。



## 【特許請求の範囲】

【請求項 1】半導体素子のキャパシターであって、半導体基板上に形成され接続ホールを有した絶縁膜と、該絶縁膜の接続ホール内に該絶縁膜の厚さよりも低い厚さを有して形成されたプラグと、該接続ホール内のプラグ上面に形成された障壁層の T i n プラグと、それら T i n プラグ及び絶縁膜上に形成されたキャパシター第 1 電極と、該キャパシター第 1 電極上に形成された誘電層と、該誘電層上に形成されたキャパシター第 2 電極と、を備えた半導体素子のキャパシター。

【請求項 2】半導体素子のキャパシターを製造する方法であって、半導体基板上に絶縁膜を形成する工程と、該絶縁膜を選択的に食刻し、該絶縁膜所定部位に接続ホールを形成する工程と、該絶縁膜の接続ホール内に電導性プラグを形成する工程と、該接続ホール内の電導性プラグ上に障壁層を形成する工程と、それら障壁層及び絶縁膜上にキャパシター第 1 電極を形成する工程と、該キャパシター第 1 電極上に誘電体層を形成する工程と、該誘電体層上にキャパシター第 2 電極を形成する工程と、を順次行う半導体素子のキャパシター製造方法。

【請求項 3】前記絶縁膜を形成する工程は、半導体基板上にゲート電極及びフィールド酸化膜を形成し、それらゲート電極及びフィールド酸化膜上に絶縁膜を蒸着する請求項 2 記載の半導体素子のキャパシター製造方法。

【請求項 4】前記絶縁膜は、3000 Å の厚さに蒸着する請求項 2 記載の半導体素子のキャパシター製造方法。

【請求項 5】前記接続ホールを形成する工程と該接続ホール内に電導性プラグを形成する工程間に、該接続ホール及び前記絶縁膜上に多結晶シリコン層を蒸着する段階と、該多結晶シリコン層をエッチバックする段階と、が追加して行われる請求項 2 記載の半導体素子のキャパシター製造方法。

【請求項 6】前記多結晶シリコン層は、低圧化学蒸着法 (LPCVD) により、2000 Å の厚さに蒸着する請求項 5 記載の半導体素子のキャパシター製造方法。

【請求項 7】前記多結晶シリコン層のエッチバック段階は、C l<sub>2</sub> / O<sub>2</sub> エッチング液を用いて行う請求項 5 記載の半導体素子のキャパシター製造方法。

【請求項 8】前記障壁層を形成する工程では、T i N、T a、W、M o の金属合金及びそれらの金属ケイ化物 (silicide) 中何れ一つを用いる請求項 2 記載の半導体素子のキャパシター製造方法。

【請求項 9】前記キャパシター第 1 電極を形成する工程

は、2000 Å の厚さにスパッタリング法を施して蒸着する請求項 2 記載の半導体素子のキャパシター製造方法。

【請求項 10】前記キャパシター第 1 電極は、P t、P d、R u、R u O<sub>2</sub> 及び電導性を有する酸化物中、何れ一つを用いて形成する請求項 2 記載の半導体素子のキャパシター製造方法。

【請求項 11】前記キャパシター第 1 電極を形成する工程と前記誘電体層を形成する工程間に、該キャパシター第 1 電極を形成した後、該キャパシター第 1 電極上にマスク用の感光膜を形成する工程と、該感光膜を湿式溶液に浸漬して除去する工程と、が追加行われる請求項 2 記載の半導体素子のキャパシター製造方法。

【請求項 12】前記キャパシター第 1 電極は、B C l<sub>3</sub> / C l<sub>2</sub> エッチング液を用いて残部を除去し、前記感光膜は H<sub>2</sub> S O<sub>4</sub> / H<sub>2</sub> O<sub>2</sub> 湿式溶液に浸漬して除去する請求項 11 記載の半導体素子のキャパシター製造方法。

【請求項 13】前記誘電体層の形成は、T a<sub>2</sub> O<sub>5</sub>、B a S r T i O<sub>3</sub>、S r T i O<sub>3</sub>、B a T i O<sub>3</sub>、P b Z r O<sub>3</sub>、P Z T、及び P L Z T となるグループから選択された何れ一つの物質を用いて行う請求項 2 記載の半導体素子のキャパシター製造方法。

【請求項 14】前記キャパシター第 2 電極は、P t、W、及び T i N 中何れ一つにより製造される請求項 2 記載の半導体素子のキャパシター製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体素子のキャパシター及びその製造方法に係るもので、詳しくは、高集積 (high-intergrated) DRAM (dynamic random access memory) 素子のキャパシターとして必要な高誘電膜キャパシターに適合する半導体素子のキャパシター及びその製造方法に関するものである。

## 【0002】

【従来の技術】従来、半導体素子の高集積化に伴い、16 M b i t s 及び 64 M b i t s の DRAM は量産されているが、256 M b i t s、1 G b i t の DRAM は未だ開発段階である。即ち、該 DRAM の高集積化に従い単位セル (c e l l) のキャパシタンス領域が減少するので、その縮小された領域で所望のキャパシタンスを得る研究が活発に行われている。従って、高誘電体材料 (high dielectric constant material) のキャパシター誘導体フィードルムを用い、高誘電体薄膜を形成する研究が進行されており、該高誘電体材料の物質は複合酸化物の形態として、主に、B a S r T i O<sub>3</sub> (B S T)、B a T i O<sub>3</sub>、S r T i O<sub>3</sub>、P b Z r O<sub>3</sub> 等が用いられている。

【0003】且つ、このような複合酸化物の形態は、600-700℃ の高温下でフィードルムの蒸着が行われるため、該高温に適合する電極の物質及び電極の構造を得

## 3

ることが主要な課題となっている。そこで、従来多結晶シリコンを電極の材料として用いていたが、該多結晶シリコンは蒸着の際、酸化して拡散されるので、その酸化をある程度抑止する物質を用いるべきであった。従って、高誘電体膜をキャパシター誘導体に用いるときは、電極の構造を多層に構成し、該誘電体と基板間の拡散を防止する拡散障壁層 (diffusion barrier) と、酸化をある程度抑制し電導性を有する電極層と、基板との電気的連結を行う接続プラグと、を夫々形成していた。

【0004】即ち、従来、半導体素子のキャパシター及びその製造方法においては、図2に示したように、半導体基板1上に一対の絶縁ゲート電極2a、2bを有するFETトランジスタ(図示せず)が形成され、それらゲート電極2a、2b上に絶縁層3が形成され、該絶縁層3の中央基板1上に接続ホールが食刻形成されて該接続ホール内基板1上にソース又はドレイン領域6が形成され、該ソース又はドレイン領域6上面接続ホール内に多結晶シリコンプラグ4が形成され、それら多結晶シリコンプラグ4及び絶縁層上面にキャパシター5が形成されていた。且つ、該キャパシター5の構造及び形成段階においては、先ず、前記多結晶シリコンプラグ4及び絶縁層3上面所定部位にTa又はTiNのような導電性物質の障壁層9が形成され、該障壁層9上に下部電極7aが形成され、それら下部電極7a上面及び障壁層9両方側面にBaSrTiO<sub>3</sub>の誘電フィードルム8が被覆され、該誘電フィードルム8上に上部電極7bが形成されていた。

## 【0005】

【発明が解決しようとする課題】然るに、このような従来半導体素子のキャパシター及びその製造方法においては、次のような不都合な点があった。一、下部電極7a及び障壁層9の積層された上面及び両方側面に誘電フィードルム8が被覆するようになっていたため、該誘電フィードルム8の被覆の際、積層段のコーナー10a、10b部位に充填漏れが発生し、該充填漏れ部位にSiO<sub>2</sub>のような絶縁物質が蒸着され易いという憂いがあった。

一、誘電フィードルム8の蒸着される間、障壁層9の両方側壁は露出されるため高温の障壁層9が酸化して接触抵抗を起し、該障壁層9両方側壁面の酸化物により該障壁層9と下部電極7a間の接着性が低下される。一、障壁層9両方側壁面の酸化により該障壁層9と多結晶シリコンプラグ4間の接着性が低下し、該多結晶シリコンプラグ4の表面が酸化する憂いがあった。

## 【0006】

【課題を解決するための手段】本発明の目的は、多層電極形成時のエッチングを容易に行い、キャパシター面積の縮小に伴うミスマラインの発生を減らし得る半導体素子のキャパシター及びその製造方法を提供しようとするものである。又、本発明の他の目的は、プラグの表面酸化によりキャパシターの性能が低下する現象を防止し、

## 4

障壁層の酸化により体積が膨張し応力を受けて電極が割れる現象を防止し得る半導体素子のキャパシター及びその製造方法を提供しようとするものである。

【0007】このような本発明の目的は、半導体基板上に形成され接続ホールを有した絶縁膜と、該絶縁膜の接続ホール内に該絶縁膜の厚さよりも低い厚さを有して形成されたプラグと、該接続ホール内のプラグ上面に形成された障壁層のTiNプラグと、それらTiNプラグ及び絶縁膜上に形成されたキャパシター第1電極と、該キャパシター第1電極上に形成された誘電体層と、該誘電体層上に形成されたキャパシター第2電極と、を備えた半導体素子のキャパシター及びその製造方法を提供することにより達成される。

## 【0008】

【発明の実施の形態】以下、本発明の実施の形態に対し説明する。本発明に係る半導体素子のキャパシターにおいては、図1(J)に示したように、半導体基板20上に形成され接続ホール29を有した絶縁膜28と、該絶縁膜のTiNプラグ35と、それらTiNプラグ35及び絶縁膜28の接続ホール29内に該絶縁膜28の厚さよりも低い厚さを有して形成されたプラグ32と、該接続ホール29内のプラグ32上面に形成された障壁層28上に形成されたキャパシター第1電極36と、該キャパシター第1電極36上に形成された誘電体層40と、該誘電体層40上に形成されたキャパシター第2電極42と、を備えている。

【0009】そして、本発明に係る半導体素子のキャパシターを製造する方法においては、図1(A)に示したように、基板20上に所定形状のゲート電極22とn<sup>+</sup>形不純物拡散(ソース/ドレイン)領域24、25とフィールド酸化膜26とを夫々形成する。次いで、それらゲート電極22、n<sup>+</sup>不純物拡散(ソース/ドレイン)領域24、25及びフィールド酸化膜26上に、図1(B)に示したように、3000Å厚さの絶縁膜28を化学蒸着法により蒸着する。次いで、図1(C)に示したように、該絶縁膜28の所定部位に写真食刻を施しキャパシターストレージノード(capacitor storage node)の形成される接続ホール29を形成する。その後、それら接続ホール29及び絶縁膜28上に2000Å厚さの多結晶シリコン層30を低圧化学蒸着法により蒸着する。

【0010】次いで、図1(D)に示したように、該多結晶シリコン層30をCl<sub>2</sub>/O<sub>2</sub>エッチング液を用い3000Åの厚さにエッチバックして除去し、前記接続ホール29内の絶縁膜28上面から約1000Å下方側にプラグ32を形成する。この場合、該プラグ32は多結晶シリコンにて形成される。次いで、図1(E)に示したように、それらプラグ32及び第1絶縁膜28上に障壁層の役割をするTiN層34を1500Åの厚さに蒸着するが、この場合、該TiN層34は、Ta、W、

Moの金属合金及びそれらの金属ケイ化物中何れ一つに代替することもできる。

【0011】次いで、図1(F)に示したように、該TiN層34をBCl<sub>3</sub>/CL<sub>2</sub>エッチバック液を用いRIE(Reactive Ion Etching)法により1500Åの厚さにエッチングし、前記接続ホール29内のプラグ32上にTiNプラグ23を形成する。次いで、図1(G)に示したように、それらTiNプラグ35及び絶縁膜28上に2000Å厚さのキャパシター第1電極36をスパッタリング法により蒸着するが、この場合、該第1電極36はPtを使用し、Ptの代わりに、Pd、Ru、RuO<sub>2</sub>及び電導性を有する酸化物中何れ一つを使用することができる。

【0012】次いで、図1(H)に示したように、該キャパシター第1電極36上面にマスク用の感光膜38を形成し、Ptのキャパシター第1電極36には写真食刻を施してキャパシターストレージノードの形成される領域を形成し、BCl<sub>3</sub>/CL<sub>2</sub>エッチング液を用いてRIE法によりエッチングを施し所定形状のキャパシター第1電極36を形成する。その後、図1(I)に示したように、該キャパシター第1電極36上の感光膜38は、H<sub>2</sub>SO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub>湿式溶液(wet solution)に浸漬(dipping)して完全に除去する。

【0013】次いで、図1(J)に示したように、それらキャパシター第1電極36及び絶縁膜28上に500Å厚さの誘電体層40を化学蒸着法により蒸着するが、この場合、該誘電体層40は3以上の誘電率を有するBaSrTiO<sub>3</sub>、SrTiO<sub>3</sub>、BaTiO<sub>3</sub>、PbZrO<sub>3</sub>、PZT、及びPLZTでなるグループから選択された何れ一つの物質を用いる。その後、該誘電体層40上にPtのキャパシター第2電極42を蒸着するが、この場合該Ptの代わりにW又はTiNを使用することもできる。

【0014】このように製造される本発明に係る半導体素子のキャパシターにおいては、Ptの薄膜をエッチングして簡単にキャパシター第1電極を形成するようになるため、従来よりも電極の形成工程が極めて容易に行われる。且つ、ノードの接続とノードのパターン間にミスアライン(mis-align)が発生しても、単結晶シリコン

プラグは露出されず、障壁層のTiNプラグが露出されるため、従来障壁層の酸化により電極が割れる現象が防止されキャパシターの信頼性が向上される。

【0015】

【発明の効果】以上、説明したように、本発明に係る半導体素子のキャパシター及びその製造方法においては、絶縁膜の接続ホール内に障壁層のTiNプラグを形成し、該TiNプラグ上にキャパシター第1電極を被覆形成してなるため、従来の誘電体膜蒸着時に発生する障壁層の酸化問題が解決され、電極が応力を受けて割れる現象が防止されて、キャパシターの信頼性が向上されるという効果がある。

【図面の簡単な説明】

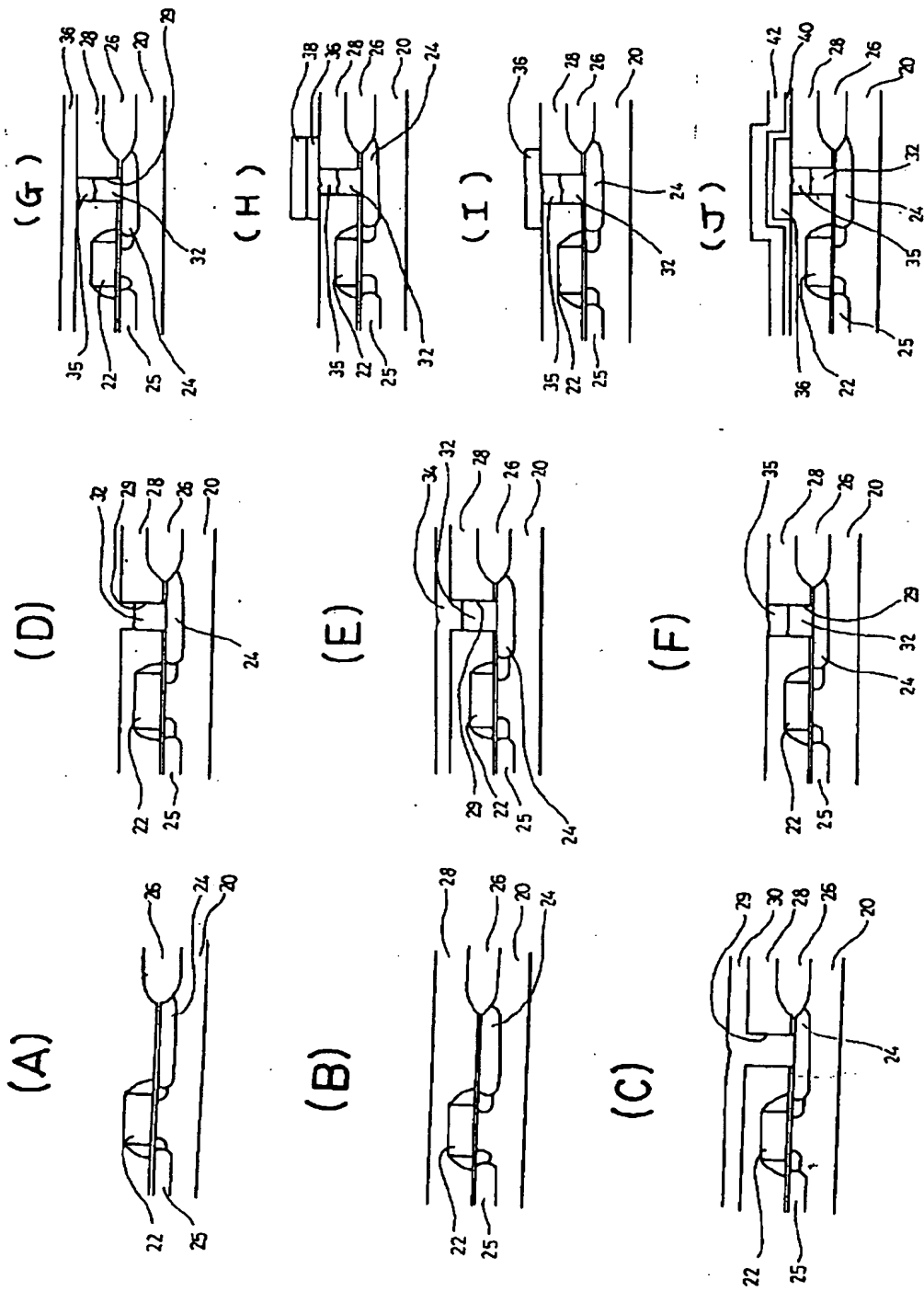
【図1】(A) - (J) 本発明に係る半導体素子のキャパシター及びその製造工程図である。

【図2】従来半導体素子のキャパシターの構造を示した縦断面図である。

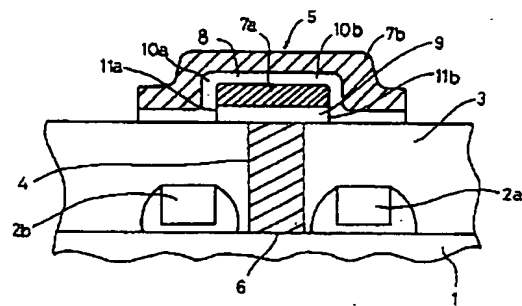
【符号の説明】

- 1、20：半導体基板
- 2a、2b、22：ゲート電極
- 3：絶縁層
- 4：多結晶シリコンプラグ
- 5：キャパシター
- 6：ソース又はドレイン領域
- 7a：下部電極
- 7b：上部電極
- 8：誘電フィードルム
- 9：障壁層
- 24、25：不純物拡散(ソース/ドレイン)領域
- 26：フィールド酸化膜
- 28：絶縁膜
- 30：多結晶シリコン層
- 32：プラグ
- 34：障壁層
- 35：TiNプラグ
- 36：キャパシター第1電極
- 38：感光膜
- 40：誘電体層
- 42：キャパシター第2電極

【図1】



【図 2】



---

フロントページの続き(51) Int. Cl.<sup>6</sup>

H 0 1 L 21/822

識別記号

庁内整理番号

F I

技術表示箇所